



(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020040111 A
(43) Date of publication of application: 30.05.2002

(21) Application number: 1020000070034
(22) Date of filing: 23.11.2000

(71) Applicant: HYNIX SEMICONDUCTOR INC.
(72) Inventor: KIM, MIN GYU

(51) Int. Cl G11C 11/416

(54) METHOD FOR DRIVING BIT LINE AND WORD LINE FOR READ/WRITE OF QUAD DATA RATE(QDR)
SYNCHRONOUS SRAM AND CIRCUIT THEREFOR

(57) Abstract:

PURPOSE: A method and a circuit for driving a bit line and a word line for read/write of quad data rate are provided to enable QDR element to perform read/write operations in one cycle, and read a data responsive to a burst length in case of once address change.

CONSTITUTION: In case of a read operation, a word line is synchronized to a rising edge of a main control clock in a read operation, and is then activated. A selection signal for word line and bit line is disabled before a falling edge within the same period of the main control clock. In case of a write operation, a word line is synchronized to a falling edge of the main control clock, and is then activated. A selection signal for a word line and a bit line is disabled before a rising edge of the next clock of the main control clock. Therefore, during one cycle, a read action and a write action are also possible.

© KIPO 2002

Legal Status

Date of final disposal of an application (20030225)

Patent registration number (1003847750000)

Date of registration (20030509)

2002-0040111

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G11C 11/416

(11) 공개번호 특2002-0040111
(43) 공개일자 2002년 05월 30일

(21) 출원번호	10-2000-0070034
(22) 출원일자	2000년 11월 23일
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 미천시 부발읍 아미리 산136-1
(72) 발명자	김민규
(74) 대리인	경기도성남시분당구수내동파크타운마파트140동 1602호 강성배

설사첨부 : 있음

(54) 웨드 데이터 레이트 싱크로노스 에스램의 리드/라미트를 위한 웨드라인 및 비트라인 구동 방법 및 그 회로

요약

본 발명은 리드와 라미트가 완전히 독립적으로 더블 데이터 레이트 형식으로 움직이는 QDR 소자에서 하나의 사이클에서 리드와 라미트가 가능하고, 또한 리드 시 프리페치 형식을 적용하여 한번의 어드레스 변화에 버스트 길이에 맞춰 데이터를 읽을 수 있는 웨드 데이터 레이트 싱크로노스 에스램의 리드/라미트를 위한 웨드라인 및 비트라인 구동 방법 및 그 회로에 관한 것이다. 이를 위한 본 발명의 웨드 데이터 레이트 싱크로노스 에스램의 리드/라미트를 위한 웨드라인 및 비트라인 구동 회로는 라이트 동작시 어드레스 버퍼로 부터의 어드레스 신호를 저장하는 라이트 어드레스 저장수단과, 리드 동작시 상기 어드레스 버퍼로부터의 어드레스 신호를 저장하는 리드 어드레스 저장수단과, 상기 라이트 어드레스 저장 수단에서 출력된 신호를 라이트 팔스 어드레스 신호가 인에이블되는 시기만 선택적으로 출력하는 리미트 팔스 어드레스 생성수단과, 상기 리드 어드레스 저장 수단에서 출력된 신호를 리드 팔스 어드레스 신호가 인에이블되는 시기만 선택적으로 출력하는 리드 팔스 어드레스 생성수단과, 상기 라이트 팔스 어드레스 생성수단과, 상기 라이트 팔스 어드레스 생성수단을 상기 리드 팔스 어드레스 생성수단의 출력 신호를 하나의 신호로 변환하여 웨드라인 및 비트라인 디코더로 전달하는 리드 라이트 어드레스 멀티플렉서 수단을 포함하여 구성된다.

표도**도1****명세서****도면의 간접적 설명**

도 1은 본 발명의 동작 타이밍도로서, 메인 클럭에 따른 웨드라인이 엑티브되는 시점과 끝나는 시점을 리드와 라미트에 따라 표시한 동작 타이밍도

도 2는 본 발명에 의한 웨드 데이터 레이트 싱크로노스 에스램의 리드/라미트를 위한 웨드라인 및 비트라인 구동 회로의 블록구성도

도 3은 본 발명에서 사용한 각종 신호들의 동작 타이밍도

도 4는 본 발명의 다른 실시예로서, 본 발명의 프리페치 리드에 사용된 멀텀 선택을 위한 회로도

도 5는 본 발명의 또 다른 실시예로서, 본 발명의 프리페치 리드에서 동시에 4개의 셀을 액세스할 수 있는 멀텀 선택을 위한 회로도

* 도면의 주요부분에 대한 부호의 설명 *

10 : 어드레스 버퍼부 12 : 라이트 어드레스 레지스터부

14 : 리드 어드레스 레지스터부 16 : 팔스 어드레스 생성부

18 : 리드 라이트 어드레스 멀티플렉서부

20, 22, 30~36 : 메모리 셀부

도면의 상세한 설명**발명의 목적**

발명이 속하는 기초 및 그 분야의 종래기술

본 발명은 웨드 데이터 레이트(Quad Data Rate: QDR) 싱크로노스(synchronous) 에스램(SRAM)의 리드/라이트를 위한 웨드라인 및 비트라인 구동 방법 및 그 회로에 관한 것으로, 특히 리드(read)와 라이트(write)가 완전히 독립적으로 더블 데이터 레이트(Double Data Rate: DDR) 형식으로 움직이는 QDR 소자에서 하나의 사이클(cycle)에서 리드와 라이트가 가능하고, 또한 리드시 프리페치(prefetched) 형식을 적용하여 한번의 어드레스 변화에 버스트 길이에 맞춰 데이터를 읽을 수 있는 웨드 데이터 레이트 싱크로노스 에스램의 리드/라이트를 위한 웨드라인 및 비트라인 구동 방법 및 그 회로에 관한 것이다.

지금까지의 등기식 에스램(SRAM)은 데이터 입력과 데이터 출력을 하나의 펀으로 사용하여 구성되어왔다. 이러한 구성은 데이터의 입력과 출력을 독립적으로 제어할 수 없기 때문에 데이터의 입력과 출력 주파수가 서로 제한 되게 설계할 수 밖에 없었다. 이러한 문제점을 해결하기 위해 ZBT(Zero Bus Turnaround) SRAM 등이 만들어 지고 있으나, 이 경우에 있어서도 데이터의 입력과 출력을 동시에 수행할 수는 없었다.

DDR SRAM은 이와 같은 턴 어라운드 타임(Turn around time) 발생으로 인한 문제점을 근본적으로 개선하기 위해서, 데이터 입력과 데이터 출력의 펀을 완전히 분리하였다. 즉, 데이터의 입력과 데이터 출력이 완전히 독립적으로 움직일 수 있도록 데이터의 입/출력 펀을 분리하여 구성하였다. 여기서, QDR이라는 의미는 데이터 입력과 데이터 출력이 각각 더블 데이터 레이트(Double Data Rate: DDR)으로 구동할 수 있다 는 것이다.

그런데, 종래의 QDR SRAM은 기존의 방식대로 리드(read)와 라이트(write)를 각각 다른 사이클(cycle)에서 하나씩 데이터를 리드(read)하거나 라이트(write)하면 입력과 출력이 DDR로 움직이는 주파수를 이용 수가 없는 문제점이 있었다.

발명이 이루고자 하는 기술적 목표

따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 리드(read)와 라이트(write)가 완전히 독립적으로 더블 데이터 레이트(Double Data Rate: DDR) 형식으로 움직이는 QDR 소자에서 하나의 사이클(cycle)에서 리드와 라이트가 가능하도록 한 웨드 데이터 레이트 싱크로노스 에스램의 리드/라이트를 위한 웨드라인 및 비트라인 구동 방법 및 그 회로를 제공하는데 있다.

또한, 본 발명의 다른 목적은 리드시 프리페치(prefetched) 형식을 적용하여 한번의 어드레스 변화에 버스트 길이에 맞춰 데이터를 읽을 수 있는 웨드 데이터 레이트 싱크로노스 에스램의 리드/라이트를 위한 웨드라인 및 비트라인 구동 방법 및 그 회로를 제공하는데 있다.

상기 목적을 달성하기 위하여, 본 발명의 웨드 데이터 레이트 싱크로노스 에스램의 리드/라이트를 위한 웨드라인 및 비트라인 구동 방법은,

리드 등작시 메인 컨트롤 클럭의 라이징 에지에 등기되어 웨드라인이 활성화되고, 웨드라인 및 비트라인 선택 신호는 상기 메인 컨트롤 클럭의 같은 주기내의 플링 에지 전에 디스에이블되도록 하는 것을 특징으로 한다.

본 발명에 의한 다른 웨드 데이터 레이트 싱크로노스 에스램의 리드/라이트를 위한 웨드라인 및 비트라인 구동 방법은,

라이트 등작시 메인 컨트롤 클럭의 라이징 에지에 등기되어 웨드라인이 활성화되고, 웨드라인 및 비트라인 선택 신호는 상기 메인 컨트롤 클럭의 다음 신호의 주기내의 라이징 에지 전에 디스에이블되도록 하는 것을 특징으로 한다.

본 발명에 의한 또 다른 웨드 데이터 레이트 싱크로노스 에스램의 리드/라이트를 위한 웨드라인 및 비트라인 구동 방법은,

리드 등작시 메인 컨트롤 클럭의 라이징 에지에 등기되어 웨드라인이 활성화되고, 웨드라인 및 비트라인 선택 신호는 상기 메인 컨트롤 클럭의 같은 주기내의 플링 에지 전에 디스에이블되고,

라이트 등작시 메인 컨트롤 클럭의 라이징 에지에 등기되어 웨드라인이 활성화되고, 웨드라인 및 비트라인 선택 신호는 상기 메인 컨트롤 클럭의 다음 신호의 주기내의 라이징 에지 전에 디스에이블되도록 하는 것을 특징으로 한다.

본 발명에 의한 웨드 데이터 레이트 싱크로노스 에스램의 리드/라이트를 위한 웨드라인 및 비트라인 구동 회로는,

라이트 등작시 어드레스 버퍼로 부터의 어드레스 신호를 저장하는 라이트 어드레스 저장수단과,

리드 등작시 상기 어드레스 버퍼로 부터의 어드레스 신호를 저장하는 리드 어드레스 저장수단과,

상기 라이트 어드레스 저장 수단에서 출력된 신호를 라이트 필스 어드레스 신호가 만에이블되는 시기만 선택적으로 출력하는 라이트 필스 어드레스 생성수단과,

상기 리드 어드레스 저장 수단에서 출력된 신호를 리드 필스 어드레스 신호가 만에이블되는 시기만 선택적으로 출력하는 리드 필스 어드레스 생성수단과,

상기 라이트 필스 어드레스 생성수단 및 상기 리드 필스 어드레스 생성수단의 출력 신호를 하나의 신호로 변환하여 웨드라인 및 비트라인 디코더로 전달하는 리드 라이트 어드레스 멀티플렉서 수단을 포함하여 구성된 것을 특징으로 한다.

본 발명의 웨드 데이터 레이트 싱크로노스 에스램의 리드/라이트를 위한 웨드라인 및 비트라인 구동 회로에 있어서, 상기 라이트 필스 어드레스 신호는 라이트 명령이 입력된 클럭의 플링 에지에서 등기되어 발

생하고 다음에 이어지는 라이징 에지전에 끝나는 것을 특징으로 한다.

본 발명의 쿼드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로에 있어서, 상기 리드 필스 어드레스 신호는 리드 명령이 입력된 클럭의 라이징 에지에서 동기되어 발생하고 그 클럭의 풀링 에지전에 끝나는 것을 특징으로 한다.

본 발명의 쿼드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로에 있어서, 상기 라이트 필스 어드레스 생성수단 및 리드 필스 어드레스 생성수단은 NAND 게이트로 구성된 것을 특징으로 한다.

본 발명의 쿼드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로에 있어서, 상기 리드 라이트 어드레스 멀티플렉서 수단은 NOR 게이트로 구성된 것을 특징으로 한다.

본 발명의 다른 쿼드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로는,

쿼드 데이터 레이트 성크로노스 에스램에 있어서,

워드라인과 비트라인의 교차점에 각각 위치한 다수개의 메모리 셀부와,

상기 비트라인 각각에 하나의 컬럼 선택 신호에 의해 등작이 제어되는 2개의 트랜지스터가 각각 병렬접속되며, 하나의 컬럼 선택 신호에 의해 버스트 길이의 숫자에 비례한 셀들이 동시에 선택하도록 구성된 컬럼 패스 게이트부를 포함하여 이루어진 것을 특징으로 한다.

본 발명의 쿼드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로에 있어서, 상기 비트라인 각각에 병렬접속된 2개의 트랜지스터는 PMOS 및 NMOS 트랜지스터로 구성된 것을 특징으로 한다.

발명의 구성 및 작동

이하, 본 발명의 실시예에 관하여 첨부도면을 참조하면서 상세히 설명한다.

또, 실시예를 설명하기 위한 모든 도면에서 동일한 기능을 갖는 것은 동일한 부호를 사용하고 그 반복적인 설명은 생략한다.

먼저, 본 발명을 설명하기 전에 QDR SRAM의 일반적인 동작 특성에 대해서 설명한다.

QDR SRAM은 리드(read)와 라이트(write)의 선택을 리드 포트 인에이블 바(read port enable bar; RP Eb)와 라이트 포트 인에이블 바(write port enable bar; WP Eb) 편에 의해서 이루어진다. 즉, 메인 클럭(main clock) 신호의 라이징 에지(rising edge)에서 위의 두 신호를 받아들어서 리드(read)를 할지 라이트(write)를 할지 결정하게 된다. 이때, 라이트시 데이터 입력은 데이터 입력핀들을 통해서 클럭의 라이징 에지와 풀링 에지(falling edge)에 맞춰 데이터를 받아들이는 DOR 형식을 가지게 되고, 리드시 출력 역시 클럭의 라이징 에지와 풀링 에지에서 동기되어 DOR 방식으로 데이터를 출력하게 된다.

본 발명은 이러한 QDR의 동작을 발생시킬 수 있도록 내부 리드(read)와 라이트(write) 동작에 대해 다음과 같은 방법을 적용하였다.

먼저, 첫번째로 도 1과 같이 리드와 라이트의 실행 구간을 하나의 사이클내에서 반(1/2) 사이클 탄일씩 합당하여 완전히 분리하였다. 즉, 리드(read)를 위한 워드라인 활성화의 경우 언제나 클럭의 라이징 에지에 동기되어 시작하게 되고 이어지는 풀링 에지에 끝나게 설계하였다. 그리고, 라이트를 위한 워드라인 활성화의 경우 언제나 클럭의 풀링 에지에서 시작되고 이어지는 라이징 에지전에 모두 끝나게 설계하였다. 이와 같은 방법에 의해서 데이터 입력과 데이터 출력이 동일한 클럭 내에서 같은 비율로 수행할 수 있게 된다.

두번째로는 도 2와 같은 구조의 리드(read)와 라이트(write)의 어드레스 디코더의 역심(muxing) 방법이다.

도 2는 본 발명에 의한 쿼드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로의 블록구성도로서, 라이트 동작시 어드레스 버퍼(10)로 부터의 어드레스 신호를 저장하는 라이트 어드레스 레지스터부(12)와, 라드 동작시 상기 어드레스 버퍼(10)로부터의 어드레스 신호를 저장하는 리드 어드레스 레지스터부(14)와, 상기 라이트 어드레스 레지스터부(12)에서 출력된 신호를 라이트 필스 어드레스 신호(WPA)가 인에이블되는 시기만 선택적으로 출력하는 라이트 필스 어드레스 생성부(16; NAND1)와, 상기 리드 어드레스 레지스터부(14)에서 출력된 신호를 리드 필스 어드레스 신호(RPA)가 인에이블되는 시기만 선택적으로 출력하는 리드 필스 어드레스 생성부(16; NAND2)와, 상기 라이트 필스 어드레스 생성부(NAND1) 및 상기 리드 필스 어드레스 생성부(NAND2)의 출력 신호를 하나의 신호로 변환하여 워드라인 및 비트라인 디코더로 전달하는 리드 라이트 어드레스 멀티플렉서부(18; NOR1)를 포함하여 구성된다.

상기 구성에서와 같이, 본 발명의 QDR 회로의 동작을 위해서는 라이트 어드레스 레지스터부(write address register; MAR: 12)와 리드 어드레스 레지스터부(read address register; RAR: 14)가 필요하다. 즉, 어드레스 버퍼부(10)로 부터의 어드레스 신호를 라이트의 경우 QDR에서는 라이트 명령을 받은 그 사이클에서 곧바로 셀 내부에 라이트하지 않고 적당한 타이밍에서 셀 내부에 라이트를 하기 때문에 라이트 어드레스 레지스터부(MAR: 12)에 저장시켜야만 한다.

상기 라이트 어드레스 레지스터부(MAR: 12)와 리드 어드레스 레지스터부(RAR: 14)로부터 어드레스를 받아서 셀 내부 디코더를 구동하게 되는데, 본 발명에서는 1 사이클 내에 리드(read)와 라이트(write)가 동시에 발생하므로, 이것을 효과적으로 디코딩하기 위해서 라이트 필스 어드레스(write pulsed address; WPA)와 리드 필스 어드레스(read pulsed address; RPA)를 생성하였다. 이 두 신호는 도 3과 같이 리드 필스 어드레스(RPA)는 리드 명령에 대해서 클럭의 라이징 에지에 동기되어 리드에 적당한 시간동안 발생되며,

라이트 팔스 어드레스(WPA)의 경우에는 라이트가 필요한 사이클에 있어서 클럭의 풀링 에지에 동기되어 필요한 시간동안 발생하게 된다. 이때, 도 30에 표시된 리드 커맨드 팔스(read command pulse)와 라이트 명령 팔스(write command pulse)는 rpeb와 wpeb가 인에이블될 때 클럭(clock)의 라이징 에지에 동기되어 발생하는 내부 신호이다.

이와 같은 회로의 구성에서 라이트 팔스 어드레스(WPA)와 리드 팔스 어드레스(RPA)는 리드와 라이트 각각 어드레스 레지스터로부터 오는 신호를 라이트 팔스 어드레스(WPA)와 리드 팔스 어드레스(RPA)가 인에이블되는 시기만 선택적으로 활성화하는 동작을 수행하게 되며, 그 뒤에 있는 리드 라이트 멀티플렉서 회로부(18)는 이 두 종류의 어드레스 신호를 하나의 버스(bus)로 묶는 작업을 수행하게 된다. 이와 같이 펌으로써, 리드 어드레스와 라이트 어드레스가 하나의 사이클내에서 서로 간섭하지 않고 워드라인과 비트 라인을 구동할 수 있게 된다.

세번째로는, 셀 내의 데이터 리드 방식에서 프리페치(prefetched) 방식의 적용이다. 프리페치 방식이라 함은 데이터를 리드할 시에 하나의 리드 동작에 2개의 셀을 동시에 리드하는 것을 말한다. 이와 같은 방식을 이용해서 리드 데이터를 라이징 에지와 풀링 에지에서 모두 내보내는 것을 가능하게 한다. 이것은 도 4에서와 같이 컬럼 선택 신호(yi) 하나에 2개의 셀이 동시에 선택 가능하도록 함으로써 이루어 진다.

본 발명이 적용되는 QDR SRAM의 리드(read)와 라이트(write)의 동작을 수행하는데 있어 버스트 길이의 크기에 맞춰 한 사이클내에 모두 데이터를 리드한다거나 라이트하는 방식도 적용 가능하다.

예를 들어, 버스트 길이가 4인 경우의 QDR 디바이스의 경우 하나의 리드 혹은 라이트 명령에 대해서 동시에 4개의 셀을 액세스해서 리드 혹은 라이트를 할 수 있는 것이다. 이것은 도 5와 같이 하나의 컬럼 선택 신호(yi)가 4개의 셀을 동시에 인에이블시킴으로써 가능해 진다.

5.2.2. 보증의 효과

이상에서 설명한 바와 같이, 본 발명의 쿼드 데이터 레이트 스크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 방법 및 그 회로에 의하면, 하나의 사이클에서 리드와 라이트가 가능하다. 이로 인해서 리드와 라이트가 완전히 독립적으로 DDR(Double Data Rate) 형식으로 움직이는 QDR 소자에서 리드와 라이트가 같은 비율로 이루어 질 수 있고, 또한 리드시 프리페치 형식을 적용시킴으로써 한번의 어드레스 변화에 2개의 데이터를 읽고 쓰는 버스트 길이 2와 4개의 데이터를 읽고 쓸 수 있는 버스트 길이 4, 그리고 그 이상의 버스 길이에서도 문제없이 본 발명을 적용하여 QDR SRAM을 설계할 수 있다.

그리고, 리드와 라이트 어드레스의 혼동(muxing)을 통해서 라이트와 라드용 디코더를 따로 사용하지 않고 종래의 방식처럼 워드라인과 비트라인 디코더를 구성할 수 있으므로 협 래미아웃 사이즈 또한 줄일 수 있는 장점이 있다.

마지막 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가등이 가능할 것이다. 이러한 수정, 변경등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

5.3. 청구의 범위

청구항 1. 리드 동작시 메인 컨트롤 클럭의 라이징 에지에 동기되어 워드라인이 활성화되고, 워드라인 및 비트라인 선택 신호는 상기 메인 컨트롤 클럭의 같은 주기내의 풀링 에지 전에 디스에이블되도록 하는 것을 특징으로 하는 쿼드 데이터 레이트 스크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 방법.

청구항 2. 라이트 동작시 메인 컨트롤 클럭의 라이징 에지에 동기되어 워드라인이 활성화되고, 워드라인 및 비트라인 선택 신호는 상기 메인 컨트롤 클럭의 다음 클럭의 라이징 에지 전에 디스에이블되도록 하는 것을 특징으로 하는 쿼드 데이터 레이트 스크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 방법.

청구항 3. 리드 동작시 메인 컨트롤 클럭의 라이징 에지에 동기되어 워드라인이 활성화되고, 워드라인 및 비트라인 선택 신호는 상기 메인 컨트롤 클럭의 같은 주기내의 풀링 에지 전에 디스에이블되고,

라이트 동작시 메인 컨트롤 클럭의 라이징 에지에 동기되어 워드라인이 활성화되고, 워드라인 및 비트라인 선택 신호는 상기 메인 컨트롤 클럭의 다음 신호의 주기내의 라이징 에지 전에 디스에이블되도록 하는 것을 특징으로 하는 쿼드 데이터 레이트 스크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 방법.

청구항 4. 반도체 메모리 장치에 있어서,

라이트 동작시 어드레스 버퍼로 부터의 어드레스 신호를 저장하는 라이트 어드레스 저장수단과,

리드 동작시 상기 어드레스 버퍼로 부터의 어드레스 신호를 저장하는 리드 어드레스 저장수단과,

상기 라이트 어드레스 저장 수단에서 출력된 신호를 라이트 팔스 어드레스 신호가 인에이블되는 시기만 선택적으로 출력하는 라이트 팔스 어드레스 생성수단과,

상기 리드 어드레스 저장 수단에서 출력된 신호를 리드 팔스 어드레스 신호가 인에이블되는 시기만 선택적으로 출력하는 리드 팔스 어드레스 생성수단과,

상기 라이트 팔스 어드레스 생성수단 및 상기 리드 팔스 어드레스 생성수단의 출력 신호를 하나의 신호로 연관하여 워드라인 및 비트라인 디코더로 전달하는 리드 라이트 어드레스 멀티플렉서 수단을 포함하여 구성된 것을 특징으로 하는 쿼드 데이터 레이트 스크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트 라인 구동 회로.

청구항 5. 제 4 항에 있어서,

상기 라이트 팔스 어드레스 신호는 라이트 명령이 입력된 클럭의 콜링 에지에서 등기되어 발생하고 다음에 미어지는 라이징 에지전에 끝나는 것을 특징으로 하는 워드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로.

청구항 6. 제 4 항에 있어서,

상기 리드 팔스 어드레스 신호는 리드 명령이 입력된 클럭의 라이징 에지에서 등기되어 발생하고 그 클럭의 콜링 에지전에 끝나는 것을 특징으로 하는 워드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로.

청구항 7. 제 4 항에 있어서,

상기 라이트 팔스 어드레스 생성수단 및 리드 팔스 어드레스 생성수단은 NAND 게이트로 구성된 것을 특징으로 하는 워드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로.

청구항 8. 제 4 항에 있어서,

상기 리드 라이트 어드레스 멀티플렉서 수단은 NOR 게이트로 구성된 것을 특징으로 하는 워드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로.

청구항 9. 워드 데이터 레이트 성크로노스 에스램에 있어서,

워드라인과 비트라인의 교차점에 각각 위치한 다수개의 메모리 셀부와,

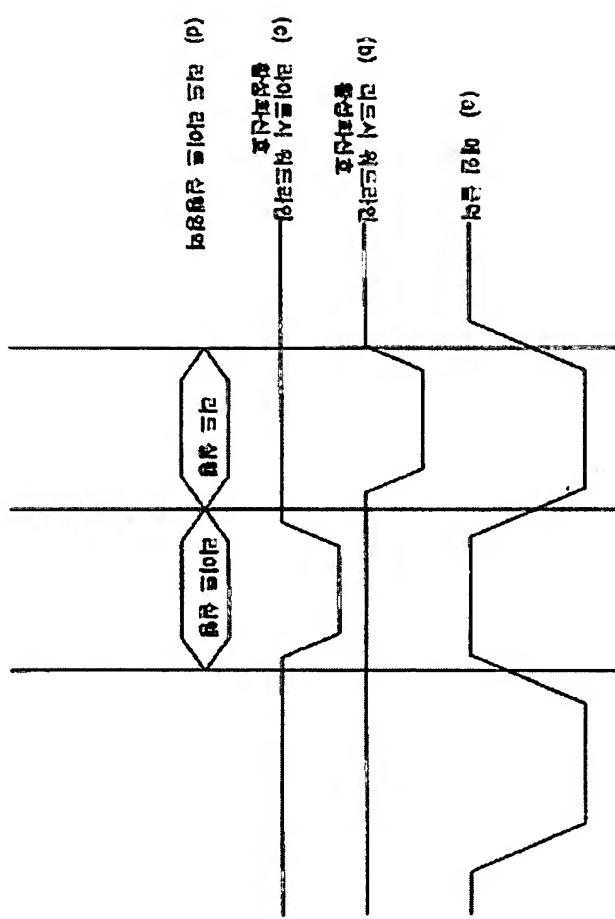
상기 비트라인 각각에 하나의 컬럼 선택 신호에 의해 등작이 제어되는 2개의 트랜지스터가 각각 별별접속되며, 하나의 컬럼 선택 신호에 의해 버스트 길이의 숫자에 비례한 셀들이 동시에 선택하도록 구성된 컬럼 패스 게이트부를 포함하여 이루어진 것을 특징으로 하는 워드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로.

청구항 10. 제 9 항에 있어서,

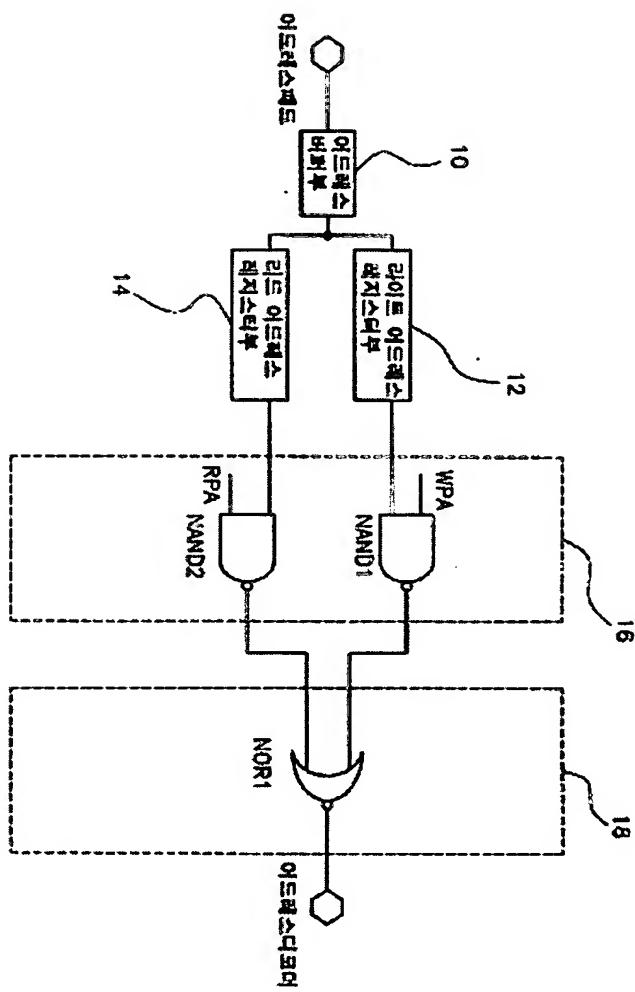
상기 비트라인 각각에 별별접속된 2개의 트랜지스터는 PMOS 및 NMOS 트랜지스터로 구성된 것을 특징으로 하는 워드 데이터 레이트 성크로노스 에스램의 리드/라이트를 위한 워드라인 및 비트라인 구동 회로.

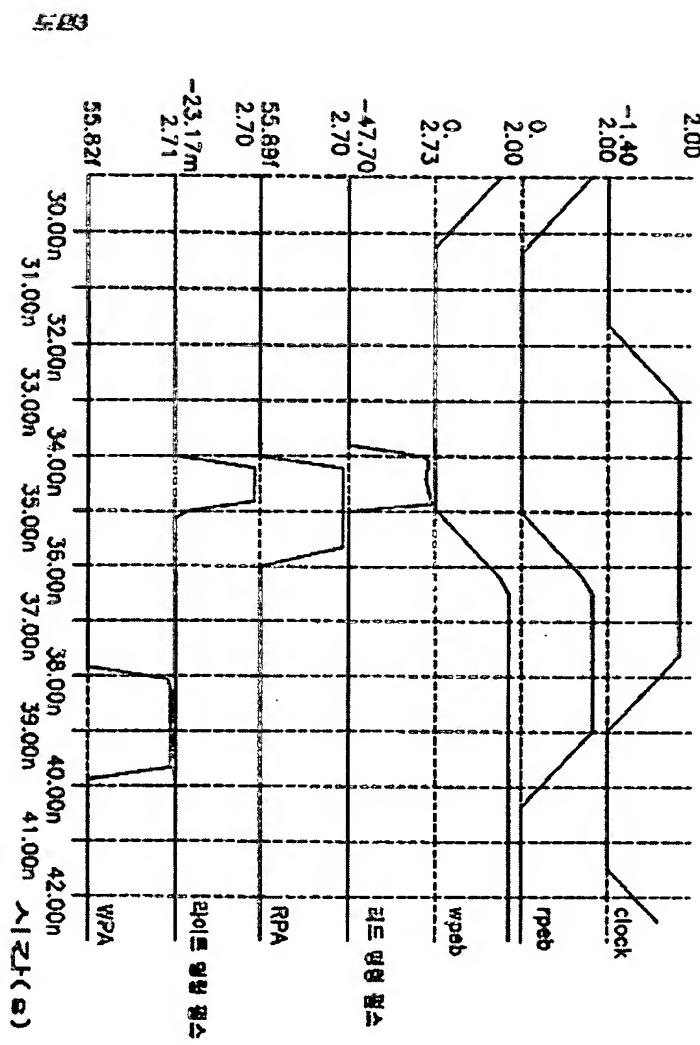
도면

도면

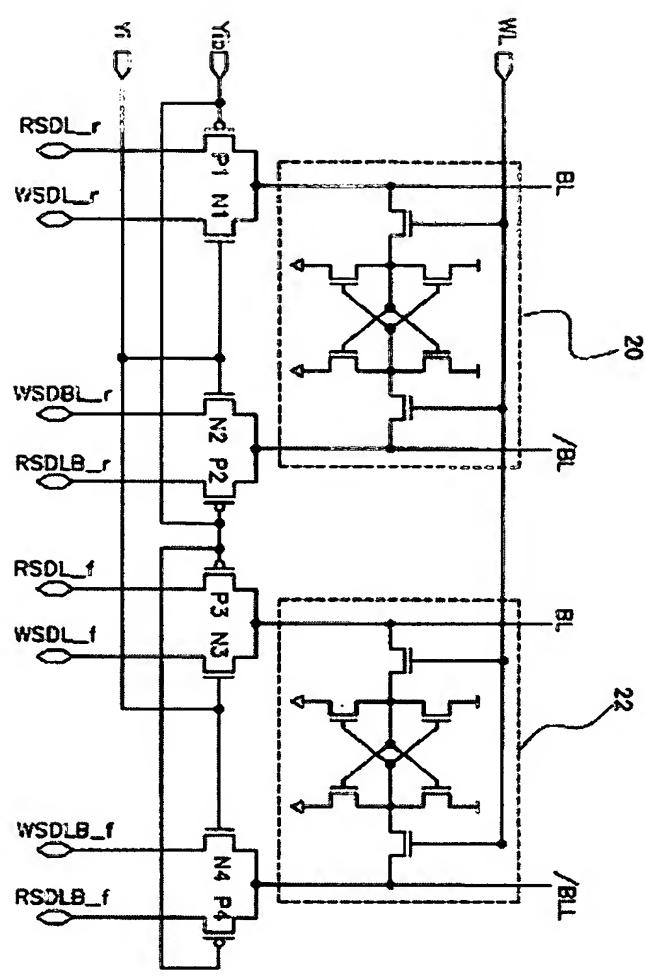


522





589



525

